



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0043400
Application Number

출원 년 월 일 : 2003년 06월 30일
Date of Application JUN 30, 2003

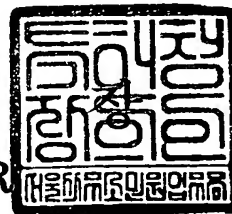
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0013
【제출일자】	2003.06.30
【발명의 명칭】	플래쉬 메모리 소자 제조 방법
【발명의 영문명칭】	Method of manufacturing flash memory device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	이병기
【성명의 영문표기】	LEE,Byoung Ki
【주민등록번호】	720227-1379815
【우편번호】	467-863
【주소】	경기도 이천시 부발읍 신하리 유승아파트 201-1205호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	17 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	394,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 플래쉬 메모리 소자의 제조 방법에 관한 것으로, 셀프 얼라인 셀로우 트렌치 아이소레이션 스킴(SA-STI scheme)을 적용하는 플래쉬 메모리 소자에서, 소자 격리용 트렌치에 산화물을 매립한 후 연마 공정 및 질화막 제거 공정까지 진행하고, 평탄화 특성이 우수한 산화막을 형성하고, 저전압 트랜지스터/셀 영역의 산화막을 선택적으로 일정 두께 1차 식각하고, 고전압 트랜지스터 영역 및 저전압 트랜지스터/셀 영역의 산화막을 플로팅 게이트용 폴리실리 콘층이 노출될 때까지 2차 식각하므로, 1차 및 2차 식각 공정 동안 고전압 트랜지스터 영역 및 저전압 트랜지스터/셀 영역 각각의 소자 격리막의 돌출부가 일정 두께 식각되어 이들 영역간에 유발되는 EFH 차이를 개선시킬 수 있다.

【대표도】

도 2f

【색인어】

소자 격리막, 플로팅 게이트, SA-STI, EFH, 단차

【명세서】**【발명의 명칭】**

플래쉬 메모리 소자 제조 방법{Method of manufacturing flash memory device}

【도면의 간단한 설명】

도 1은 종래 플래쉬 메모리 소자의 제조 방법을 설명하기 위한 소자의 단면도.

도 2a 내지 도 2f는 본 발명의 실시예에 따른 플래쉬 메모리 소자의 제조 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

11, 21: 반도체 기판 12A, 22A: 고전압용 게이트 산화막

12B, 22B: 저전압/셀용 게이트 산화막 13, 23: 제 1 폴리실리콘층

24: 질화막 15, 25: 트렌치

26: 소자 격리용 산화막 160, 260: 소자 격리막

27: 버퍼 산화막 28: 평탄화막

29: 제 2 폴리실리콘층 30: 포토레지스트 패턴

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 플래쉬 메모리 소자의 제조 방법에 관한 것으로, 특히 셀프 얼라인 셀로우 트렌치 아이소레이션(Self Align Shallow Trench Isolation; 이하 SA-STI라 칭함) 스킴(scheme)을 적용하는 플래쉬 메모리 소자에서, 고전압 트랜지스터 영역 및 저전압 트랜지스터/셀 영역 각각의 소자 격리막의 돌출부에 의해 이들 영역간에 유발되는 EFH(Effective Field Oxide Height) 차이를 개선시킬 수 있는 플래쉬 메모리 소자의 제조 방법에 관한 것이다.

<11> 플래쉬 메모리는 소자의 특성상 셀을 구동시키기 위한 고전압 트랜지스터와 저전압 트랜지스터가 구비된다. 고전압 트랜지스터의 게이트 산화막은 두께가 두껍고, 저전압 트랜지스터의 게이트 산화막은 두께가 얇으며, 셀의 게이트 산화막은 저전압 트랜지스터의 게이트 산화막의 두께와 같거나 유사하다. 고전압 트랜지스터 영역 및 저전압 트랜지스터/셀 영역의 게이트 산화막 두께 차이에서 기인되는 단차는 후속 공정인 소자 격리용 산화막의 화학적 기계적 연마(CMP) 공정 진행 후 남겨지는 질화막의 두께를 각 영역에서 다르게 하고, 이로 인하여 고전압 트랜지스터 영역과 저전압 트랜지스터/셀 영역의 EFH 차이를 유발시킨다. 여기서, EFH는 플로팅 게이트용 제 1 폴리실리콘층과 플로팅 게이트용 제 2 폴리실리콘층과의 계면을 기준으로 소자 격리막의 단차를 일컫는다.

<12> 도 1은 셀프 얼라인 셀로우 트렌치 아이소레이션 스킴을 적용하는 종래 플래쉬 메모리 소자의 제조 방법을 설명하기 위한 소자의 단면도이다.



- <13> 플래쉬 메모리 소자는 셀 영역, 저전압 트랜지스터 영역 및 고전압 트랜지스터 영역으로 이루어지는데, 설명의 편의상 게이트 산화막의 두께가 유사한 셀 영역 및 저전압 트랜지스터 영역을 하나의 영역으로 묶어 설명한다.
- <14> 도 1을 참조하며, 고전압 트랜지스터 영역(HV)의 반도체 기판(11) 상에는 두께가 두꺼운 고전압용 게이트 산화막(12A)을 형성하고, 저전압 트랜지스터/셀 영역(LV/CELL)의 반도체 기판(11) 상에는 두께가 얇은 저전압/셀용 게이트 산화막(12B)을 형성한다. 게이트 산화막들(12A 및 12B) 상에 플로팅 게이트용 제 1 폴리실리콘층(13)을 형성한다. SA-STI 공정을 실시하여 반도체 기판(11)에 다수의 소자 격리용 트렌치(15)를 형성하고, 트렌치들(15) 내에 소자 격리용 산화물을 채워 소자 격리막(160)을 형성한다. 소자 격리막(160)을 포함한 전체 구조상에 플로팅 게이트용 제 2 폴리실리콘층(19)을 형성한다. 도시하지는 않았지만, 이후 플로팅 게이트용 마스크를 사용한 식각 공정, 유전체막 형성 공정, 컨트롤 게이트용 도전층 형성 공정 및 컨트롤 게이트용 마스크를 사용한 식각 공정을 실시하여 각 영역에 게이트들을 형성한다.
- <15> 상기한 종래 방법으로 플래쉬 메모리 소자를 제조할 경우, 고전압 트랜지스터 영역(HV) 및 저전압 트랜지스터/셀 영역(LV/CELL) 각각의 소자 격리막(160)의 돌출부에 의해 이들 영역 간에 EFH 차이가 발생되는데, 일반적으로 고전압 트랜지스터 영역(HV)에서 제 1 폴리실리콘층(13)에 대한 소자 격리막(160)의 단차(EFH1)는 (-)50 ~ 100 Å의 값을 갖는 반면, 저전압 트랜지스터/셀 영역(LV/CELL)에서 제 1 폴리실리콘층(13)에 대한 소자 격리막(160)의 단차(EFH2)는 300 ~ 800 Å의 값을 갖는다. 저전압 트랜지스터/셀 영역(LV/CELL)의 단차(EFH2)는 높고 값의 범위가 넓으며, 그 값이 매번 화학적 기계적 연마(CMP) 공정의 진행 조건에 따라 달라진다. 이러한 고전압 트랜지스터 영역(HV) 및 저전압 트랜지스터/셀 영역(LV/CELL)간의 EFH 값의 차이와 저전압 트랜지스터/셀 영역(LV/CELL)의 높은 EFH 값은 각 영역의 게이트 식각 타겟을 설정



하는데 어려움을 주고, 양호한 게이트 패턴 형상(pattern profile)을 얻을 수 없게 할 뿐만 아니라, 폴리실리콘 잔류물로 인한 소자의 결함(fail)을 유발시키는 원인으로 작용하는 등 많은 문제점들이 있다. 이러한 문제점들은 소자가 고집적화 되어 감에 따라 중요해지고, 이를 해결하기 위한 노력이 계속 되고 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 따라서, 본 발명은 고전압 트랜지스터 영역 및 저전압 트랜지스터/셀 영역 각각의 소자 격리막의 돌출부에 의해 이들 영역간에 유발되는 EFH 차이를 개선시켜 공정의 안정성을 확보하고 소자의 신뢰성을 향상시킬 수 있는 플래쉬 메모리 소자의 제조 방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<17> 이러한 목적을 달성하기 위한 본 발명의 실시예에 따른 플래쉬 메모리 소자의 제조 방법은 제 1 소자 격리막들 사이에 제 1 게이트 산화막 및 제 1 폴리실리

콘층이 형성된 고전압 트랜지스터 영역과, 제 2 소자 격리막들 사이에 제 2 게이트 산화막 및 제 1 폴리실리콘층이 형성된 저전압 트랜지스터/셀 영역이 정의된 반도체 기판이 제공되는 단계; 상기 제 1 및 제 2 소자 격리막들을 포함한 상기 제 1 폴리실리콘층 상에 평탄화막을 형성하는 단계; 상기 저전압 트랜지스터/셀 영역의 상기 평탄화막 및 상기 소자 격리막들의 상단부를 제 1 식각 공정으로 일정 두께 제거하는 단계; 상기 고전압 트랜지스터 영역 및 상기 저전압 트랜지스터/셀 영역의 상기 평탄화막 및 상기 소자 격리막의 상단부를 제 2 식각 공정으로 제거하는 단계; 및 상기 소자 격리막들을 포함한 상기 제 1 폴리실리콘층 상에 제 2 폴리실리콘층을 형성하는 단계를 포함한다.

<18> 상기에서, 제 1 및 제 2 식각 공정은 HF가 첨가된 산화물 식각 용액을 사용한 습식 식각 방식으로 진행한다.

<19> 고전압 트랜지스터 영역 및 저전압 트랜지스터/셀 영역 각각의 소자 격리막들의 EFH 값은 제 1 및 제 2 식각 공정에 의해 $(-)$ 100 ~ 50 Å 사이가 된다.

<20> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세하게 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<21> 도 2a 내지 도 2f는 셀프 얼라인 셀로우 트렌치 아이소레이션 스킴을 적용하는 본 발명의 실시예에 따른 플래쉬 메모리 소자의 제조 방법을 설명하기 위한 소자의 단면도이다.

- <22> 플래쉬 메모리 소자는 셀 영역, 저전압 트랜지스터 영역 및 고전압 트랜지스터 영역으로 이루어지는데, 설명의 편의상 게이트 산화막의 두께가 유사한 셀 영역 및 저전압 트랜지스터 영역을 하나의 영역으로 묶어 설명한다.
- <23> 도 2a를 참조하며, 고전압 트랜지스터 영역(HV)의 반도체 기판(21) 상에는 두께가 두꺼운 고전압용 게이트 산화막(22A)을 형성하고, 저전압 트랜지스터/셀 영역(LV/CELL)의 반도체 기판(21) 상에는 두께가 얇은 저전압/셀용 게이트 산화막(22B)을 형성한다. 게이트 산화막들(22A 및 22B) 상에 플로팅 게이트용 제 1 폴리실리콘층(23)을 형성한다. 제 1 폴리실리콘층(23) 상에 질화막(24)을 형성하고, SA-STI 공정으로 질화막(24), 제 1 폴리실리콘층(23), 게이트 산화막(22A 및 22B) 및 반도체 기판(21)을 식각하여 고전압 트랜지스터 영역(HV)의 반도체 기판(21) 및 저전압 트랜지스터/셀 영역(LV/CELL)의 반도체 기판(21)에 다수의 소자 격리용 트렌치(25)를 형성한다. 소자 격리용 트렌치(25)를 포함한 전체 구조상에 소자 격리용 산화막(26)을 형성하여 트렌치들(25)을 충분히 채운다. 소자 격리용 산화막(26)은 갭 필링(gap filing) 능력이 우수하면서 절연특성이 우수한 물질 예를 들어 HDP 산화물을 주로 사용하여 형성한다.
- <24> 도 2b를 참조하면, 화학적 기계적 연마(CMP) 공정을 고전압 트랜지스터 영역(HV)의 제 1 폴리실리콘층(23)의 표면이 노출되기 직전까지 실시하여 트렌치들(25) 내에 소자 격리막들(260)을 형성한다. 도면에서 알 수 있듯이, 제 1 폴리실리콘층(23)의 표면을 기준으로 고전압 트랜지스터 영역(HV)에 남겨진 질화막(24) 및 소자 격리막들(260)의 돌출부는 저전압 트랜지스터/셀 영역(LV/CELL)에 남겨진 질화막(24) 및 소자 격리막들(260)의 돌출부와 높이 차이가 남을 알 수 있다. 종래 방법에서 언급한 바와 마찬가지로, 고전압 트랜지스터 영역(HV)의 소자 격리막들(260)의 EFH 값은 낮고, 저전압 트랜지스터/셀 영역(LV/CELL)의 EFH 값은 높아 이들



영역간에 EFH 차이가 나게되고, 이는 종래 방법에서 언급한 문제점들을 유발시키는 요인이 된다.

- <25> 도 2c를 참조하면, 잔류된 질화막(24)을 제거(strip)하고, 서로 다른 높이 차를 갖는 소자 격리막들(260)을 포함한 제 1 폴리실리콘층(23)의 표면을 따라 버퍼 산화막(27)을 형성하고, 버퍼 산화막(27) 상에 평탄화막(28)을 형성한다.
- <26> 상기에서, 버퍼 산화막(27)은 평탄화막(28)이 직접 제 1 폴리실리콘층(23)에 접촉할 때 발생할 수 있는 오염을 방지하기 위해 100 Å이하, 바람직하게는 20 ~ 100 Å의 두께로 형성한다. 한편, 버퍼 산화막(27)은 오염 방지를 위해 형성하는 것이 바람직하지만, 필수적으로 형성할 필요는 없다. 평탄화막(28)은 유동성이 우수하고 평탄화 특성이 우수한 물질 예를 들어, SOG(Spin On Glass)나 BPSG(Boron Phosphorous Silicate Glass) 등을 이용하여 300 ~ 800 Å의 두께로 형성한다.
- <27> 도 2d를 참조하면, 고전압 트랜지스터 영역(HV)은 덮이고(close), 저전압 트랜지스터/셀 영역(LV/CELL)은 개방된(open) 포토레지스트 패턴(30)을 평탄화막(28) 상에 형성한다. 포토레지스트 패턴(30)을 식각 마스크로 한 식각 공정으로 저전압 트랜지스터/셀 영역(LV/CELL)의 평탄화막(28) 및 소자 격리막들(260)을 일정 두께 제거한다.
- <28> 상기에서, 식각 공정은 HF가 첨가된 산화물 식각 용액을 사용한 습식 식각 방식으로 진행하며, 동일한 식각 조건에서 SOG나 BPSG로 형성되는 평탄화막(28)이 HDP로 형성되는 소자 격리막(260)보다 식각 속도가 빠르다. 이 식각 공정 동안 저전압 트랜지스터/셀 영역(LV/CELL)의 소자 격리막들(260)의 상단부가 일부 제거되어 EFH 값이 낮아지게 된다.

<29> 도 2e를 참조하면, 포토레지스트 패턴(30)을 제거(strip)한다. 이후, 전면 식각(blanket etch) 공정으로 고전압 트랜지스터 영역(HV) 및 저전압 트랜지스터/셀 영역(LV/CELL)의 평탄화막(28), 버퍼 산화막(27) 및 소자 격리막(260)을 제거한다.

<30> 상기에서, 포토레지스트 패턴(30)은 건식 또는 습식 방식으로 제거한다. 전면 식각 공정을 제 1 폴리실리콘층(23)이 노출될 때까지 HF가 첨가된 산화물 식각 용액을 사용한 습식 식각 방식으로 진행하며, 동일한 식각 조건에서 SOG나 BPSG로 형성되는 평탄화막(28)이 HDP로 형성되는 소자 격리막(260)보다 식각 속도가 빠르다. 이 식각 공정 동안 저전압 트랜지스터/셀 영역(LV/CELL)의 소자 격리막들(260)의 상단부는 물론 고전압 트랜지스터 영역(HV)의 소자 격리막들(260)의 상단부도 일부 제거되고, 이로 인하여 각 영역(HV 및 LV/CELL)의 소자 격리막들(260) EFH 값이 낮아지게 되어, 고전압 트랜지스터 영역(HV) 및 저전압 트랜지스터/셀 영역(LV/CELL) 각각의 소자 격리막들(260)의 EFH 값이 (-)100 ~ 50 Å 사이가 되며, 이들 영역(HV 및 LV/CELL) 간의 EFH 값 차이도 거의 없어진다. 한편, 포토레지스트 패턴(30)을 습식 방식으로 제거할 경우, 포토레지스트 패턴(30)을 식각 마스크로 한 식각 공정(도 2d), 포토레지스트 패턴 제거 공정(도 2e) 및 전면 식각 공정(도 2e)을 한 장비에서 연속적으로 진행할 수 있다.

<31> 도 2f를 참조하면, 전체 영역(HV 및 LV/CELL)에서 소자 격리막들(260) 및 제 1 폴리실리콘층(23)의 표면이 단차 없이 거의 평탄화를 이루며, 평탄화된 표면 상에 플로팅 게이트용 제 2 폴리실리콘층(29)을 형성한다. 도시하지는 않았지만, 이후 플로팅 게이트용 마스크를 사용한 식각 공정, 유전체막 형성 공정, 컨트롤 게이트용 도전층 형성 공정 및 컨트롤 게이트용 마스크를 사용한 식각 공정을 실시하여 각 영역에 게이트들을 형성한다.

【발명의 효과】

<32> 상술한 바와 같이, 본 발명은 고전압 트랜지스터 영역 및 저전압 트랜지스터/셀 영역 각각의 소자 격리막의 돌출부에 의해 이들 영역간에 유발되는 EFH 차이를 개선시키므로, 공정의 안정성을 확보하고 소자의 신뢰성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

제 1 소자 격리막들 사이에 제 1 게이트 산화막 및 제 1 폴리실리콘층이 형성된 고전압 트랜지스터 영역과, 제 2 소자 격리막들 사이에 제 2 게이트 산화막 및 제 1 폴리실리콘층이 형성된 저전압 트랜지스터/셀 영역이 정의된 반도체 기판이 제공되는 단계;

상기 제 1 및 제 2 소자 격리막들을 포함한 상기 제 1 폴리실리콘층 상에 평탄화막을 형성하는 단계;

상기 저전압 트랜지스터/셀 영역의 상기 평탄화막 및 상기 소자 격리막들의 상단부를 제 1 식각 공정으로 일정 두께 제거하는 단계;

상기 고전압 트랜지스터 영역 및 상기 저전압 트랜지스터/셀 영역의 상기 평탄화막 및 상기 소자 격리막의 상단부를 제 2 식각 공정으로 제거하는 단계; 및

상기 소자 격리막들을 포함한 상기 제 1 폴리실리콘층 상에 제 2 폴리실리콘층을 형성하는 단계를 포함하는 플래쉬 메모리 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 평탄화막은 SOG나 BPSG를 이용하여 300 ~ 800 Å의 두께로 형성하는 플래쉬 메모리 소자의 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 제 1 폴리실리콘층과 상기 평탄화막 사이에 버퍼 산화막을 형성하는 단계를 추가하는 플래쉬 메모리 소자의 제조 방법.

【청구항 4】

제 3 항에 있어서,

상기 버퍼 산화막은 20 ~ 100 Å의 두께로 형성하는 플래쉬 메모리 소자의 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 제 1 및 제 2 식각 공정은 HF가 첨가된 산화물 식각 용액을 사용한 습식 식각 방식으로 진행되는 플래쉬 메모리 소자의 제조 방법.

【청구항 6】

제 1 항에 있어서,

상기 제 1 식각 공정은 상기 고전압 트랜지스터 영역은 덮이고, 상기 저전압 트랜지스터/셀 영역은 개방된 포토레지스트 패턴을 식각 마스크로 하여 실시하는 플래쉬 메모리 소자의 제조 방법.

【청구항 7】

제 6 항에 있어서,

상기 포토레지스트 패턴은 상기 제 1 식각 공정을 완료한 후 건식 또는 습식 방식으로 제거하는 플래쉬 메모리 소자의 제조 방법.

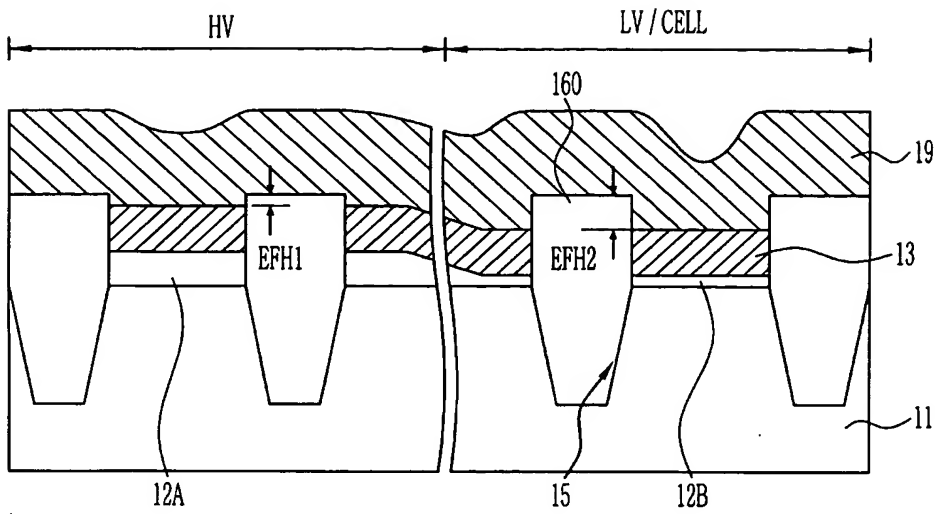
【청구항 8】

제 1 항에 있어서,

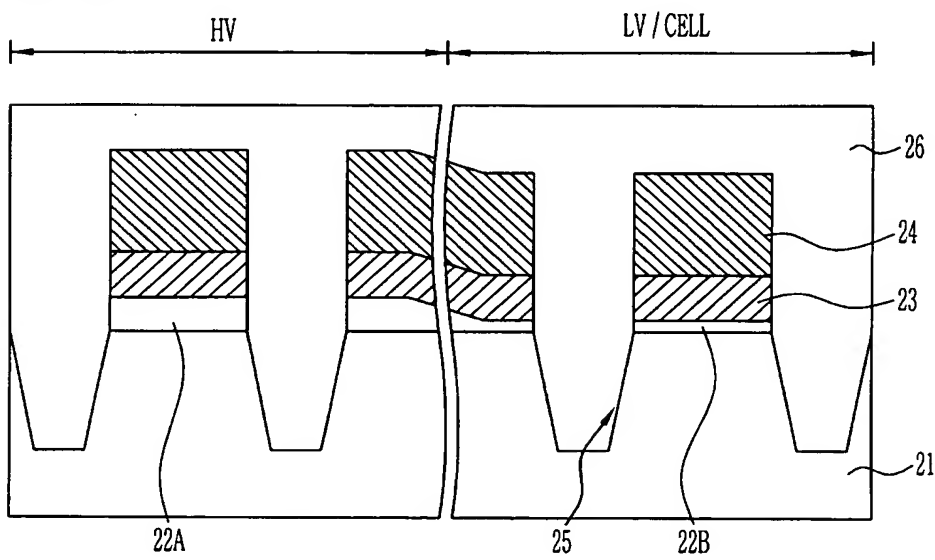
상기 고전압 트랜지스터 영역 및 상기 저전압 트랜지스터/셀 영역 각각의 상기 소자 격리막들의 EFH 값은 상기 제 1 및 제 2 식각 공정에 의해 (-)100 ~ 50 Å 사이가 되는 플래쉬 메모리 소자의 제조 방법.

【도면】

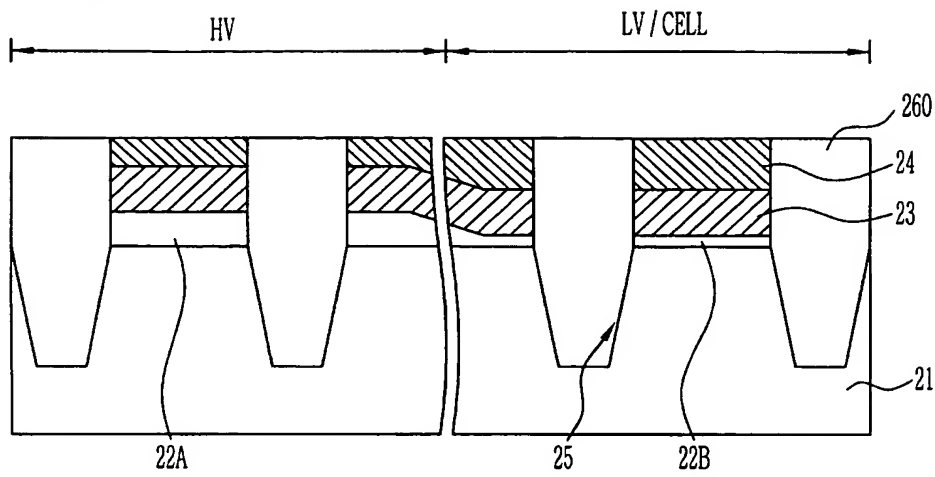
【도 1】



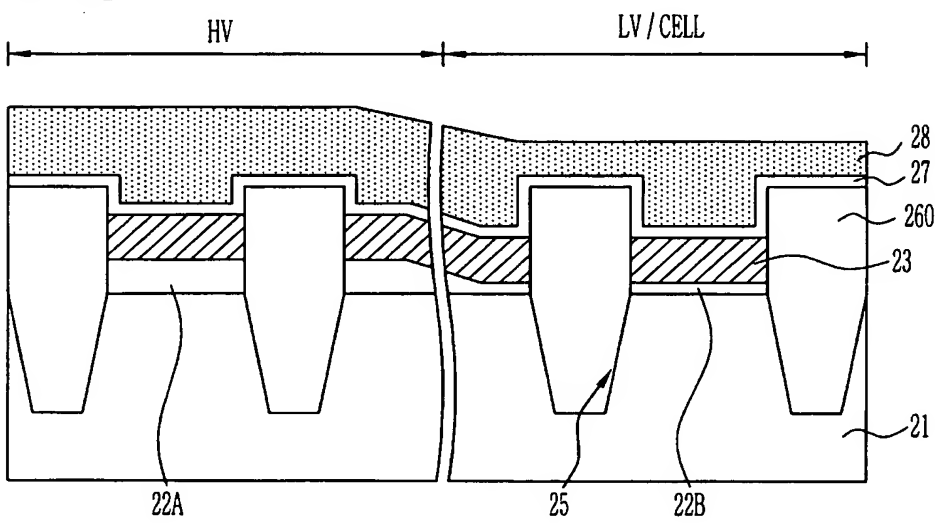
【도 2a】



【도 2b】



【도 2c】



A cross-sectional diagram of a detector assembly. The diagram is divided into two main horizontal sections: 'HV' (High Voltage) on the left and 'LV / CELL' (Low Voltage / Cell) on the right, separated by a vertical line. The HV section shows a series of trapezoidal structures (22A) with a central layer (23) and a top layer (28) containing a pattern of '+' signs. The LV / CELL section shows a similar structure (22B) with a central layer (23) and a top layer (28) containing a pattern of '+' signs. A central vertical line (25) separates the two sections. Other labels include 21, 260, 27, and 30.

A cross-sectional view of a semiconductor device. The device is divided into two main regions: an HV (High Voltage) region on the left and an LV/CELL (Low Voltage / Cell) region on the right. The HV region contains two vertical structures, each with a trapezoidal well (22A) and a hatched layer (260) on top. The LV/CELL region contains a similar structure with a trapezoidal well (25) and a hatched layer (260) on top. A layer (23) is shown on the right side of the LV/CELL region. The bottom of the device is labeled 21. The top of the device is labeled 22B. The label 22A points to the well in the HV region, and 25 points to the well in the LV/CELL region.

A cross-sectional view of a semiconductor device. The device is divided into two main regions: a high-voltage (HV) region on the left and a low-voltage (LV) or cell region on the right. The HV region contains two large, trapezoidal wells (22A) and a thin layer (22B) above them. The LV/CELL region contains a single large, trapezoidal well (25) and a thin layer (260) above it. A thin layer (23) is present in both regions. The top surface is labeled 29. The bottom surface is labeled 21.